

Requested Patent: JP7147386A

Title:

SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD AND
APPARATUS USED FOR IT ;

Abstracted Patent: JP7147386 ;

Publication Date: 1995-06-06 ;

Inventor(s): KOZUKA EIJI ;

Applicant(s): TOSHIBA MICRO ELECTRON KK; others: 01 ;

Application Number: JP19940218606 19940913 ;

Priority Number(s): ;

IPC Classification:

H01L27/04; H01L21/822; H01L21/52; H01L21/66; H01L21/82; H01L23/50 ;

Equivalents: ;

ABSTRACT:

PURPOSE: To enable the parasitic impedance of a normal type to be equivalent to that of a reverse type by allowing a first integrated circuit mask pattern for the normal type and a second integrated circuit mask pattern for reverse type to be in mirror relationship and then layout them out on the same semiconductor wafer.

CONSTITUTION: Patterns for two chips, namely one chip of normal type and one chip of reverse type, are formed on the same mask blank 1. Then, the same data in an integrated circuit data region 2 formed on each semiconductor chip are shared and the direction is in mirror image for layout. A scribe line data region 3 and a dicing line 44 for separating chips are laid out so that the integrated circuit data region 2 which is laid out is surrounded, thus suppressing the increase in inductance causing noise and resistance/capacity causing the delay in I/O signals.

【特許請求の範囲】

【請求項1】 第1の集積回路と、

該第1の集積回路とは互いに鏡像関係のパターン配置となる第2の集積回路とを少なく共具備し、

該第1および第2の集積回路は同一半導体ウェハ上に形成されていることを特徴とする半導体装置。

【請求項2】 前記第1および第2の集積回路の配置されている領域の間の前記半導体ウェハ上の領域に、前記第1および第2の集積回路の共通のテスト回路を具備することを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第1および第2の集積回路はその中心線に対して左右対称のボンディングパッドパターンを前記半導体ウェハ上に有することを特徴とする請求項1又は2記載の半導体装置。

【請求項4】 前記第1および第2の集積回路は、その集積回路が第1の集積回路であるか、第2の集積回路であるかを判定するための判定回路をそれぞれ有することを特徴とする請求項1又は2記載の半導体装置。

【請求項5】 前記第1の集積回路と前記第2の集積回路とが同一半導体チップ上の金属配線により相互に接続された部分を有することを特徴とする請求項1又は2記載の半導体装置。

【請求項6】 第1の集積回路を搭載した第1のパッケージと、

該第1の集積回路とは互いに鏡像関係のパターン配置となる第2の集積回路を搭載した第2のパッケージとを少なく共具備することを特徴とする半導体装置。

【請求項7】 前記第1および第2の集積回路の分類判定をする判定回路を前記第1および第2の集積回路がそれぞれ有することを特徴とする請求項6記載の半導体装置。

【請求項8】 前記判定回路は前記第1および第2のパッケージのそれぞれの外部入出力信号端子に接続されていることを特徴とする請求項7記載の半導体装置。

【請求項9】 1) 互いに鏡像関係となる第1および第2の集積回路パターンをそれぞれ1つ以上同時に同一半導体ウェハ上に形成する第1の工程と、

2) 該第1の工程で形成された第1および第2の集積回路を検査する第2の工程と、

3) 第2の工程後、該半導体ウェハを所定の半導体チップに切り出す第3の工程と、

4) 該半導体チップをリードフレームにマウントし、パッケージングを行なう第4の工程とを少なくとも含むことを特徴とする半導体装置の製造方法。

【請求項10】 前記第2の工程において、前記第1および第2の集積回路を一枚のテスト用プローブカードを用いて同時に検査することを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】 前記第3の工程において、前記第1および第2の集積回路を一組として同一半導体チップ上に

切り出し、前記第4の工程において同一リードフレーム上に該半導体チップをマウントすることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項12】 前記第1の工程において前記第1および第2の集積回路パターンが少なく共一組形成されたマスクパターンを用いて、前記集積回路パターンを半導体ウェハ上に形成することを特徴とする請求項9記載の半導体装置の製造方法。

【請求項13】 前記第1の工程において、前記第1の集積回路パターンの数の方が、前記第2の集積回路パターンの数よりも多いマスクパターンを用いて、前記集積回路パターンを半導体ウェハ上に形成することを特徴とする請求項9記載の半導体装置の製造方法。

【請求項14】 前記第3の工程において前記第1の集積回路パターンを有した第1の半導体チップと前記第2の集積回路パターンを有した前記第2の半導体チップを切り出し、

前記第4の工程において、該第1の半導体チップをノーマルタイプのリードフレームに、該第2の半導体チップをリバースタイプのリードフレームにマウントすることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項15】 第1の集積回路のパターンと該第1の集積回路のマスクパターンとは互いに鏡像関係のパターン配置となる第2の集積回路のパターンとを同一マスクブランク上に形成したことを特徴とする露光装置用マスク。

【請求項16】 前記第1および第2の集積回路のパターンが交互に配置された部分を有する請求項15記載の露光装置用マスク。

【請求項17】 第1の集積回路を検査するための触針と該第1の集積回路とは鏡像関係となるパターン配置を有した第2の集積回路を検査するための触針とを同一カード基板上に有することを特徴とするプローブカード。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路等の半導体装置のパッケージに係り、特にリードフレームのピン配置がノーマルタイプとリバースタイプの2種類を有した半導体装置およびその製造方法とその製造工程に用いるフォトリソグラフィおよび検査用器具に関する。

【0002】

【従来の技術】 近年、半導体装置はユーザの仕様の違いにより製品として多種、多様化の傾向にあり、製品としてはそのパッケージの封止物質及び外部入出力信号端子（以下ピンという）の並び方や形状などにより区別される。

【0003】 この半導体装置の製品の一つとして、いわゆるTSOP (Thin Small Package) というものがある。この半導体チップの製品は、パッケージの樹脂厚を従来の製品より薄くし、ボードの両

面にそれぞれパッケージを装着してシステム全体としてボードの実装密度を上げている。ボードの両面にパッケージを装着するため、製品としては、互いにピン配置が鏡像関係となるノーマルタイプとリバースタイプの2種類を用意する必要がある。この2種類の製品の相違は、図1(a), (b)に示すようにパッケージのアウトラインのピン(図示では44ピン)の配置を入れ替えたもので、ピン配置が互いに鏡像関係となっていること以外は同一のスペックである。同図(a)はノーマルタイプのパッケージの製品(メモリ)を、同図(b)はリバースタイプのパッケージの製品(メモリ)をそれぞれ示している。

【0004】図18は、図17(a)に示すようなノーマルタイプのパッケージを有する半導体装置を従来技術を用いてアセンブリした場合の断面図である。この半導体装置は、リードフレーム(ダイパッド)101上に搭載された半導体チップ102を有し、該半導体チップ102がボンディングワイヤ103, 104を介してピン105, 106にそれぞれ接続されている。そして、これらがピン105, 106の一部を外部に引出す形で樹脂封止され、パッケージとして一体化されている。また、リードフレーム101は、半導体チップ102上の樹脂厚とリードフレーム(ダイパッド)101下の樹脂厚とが同一となるような位置で配置されている。このように配置するのは、半導体チップ102上の樹脂厚とリードフレーム101下の樹脂厚とが異なっていると、薄い方の樹脂厚で信頼性の程度(温度変化に対する亀裂の度合など)が決まってしまうため、樹脂厚を同一とすることが信頼性上最適であるためである。さらに、リードフレーム101は、図示されてはいないが、受け用金型と押え用金型とを用いてディプレスされ、これによってピン105, 106はパッケージの中心を外れることなく、これを横切るように配置される。

【0005】図19は、図17(b)に示すようなリバースタイプのパッケージの半導体装置を上記ノーマルタイプのものと同一半導体チップ102を使用し、従来技術を用いてアセンブリした場合の断面図である。図19に示す破線の部分が、上記図18の破線の部分と同一であり、アウトラインのピンの配置をノーマルタイプのものと入れ替え、且つパッケージの外部に位置するピンの曲げる方向を反対にしてピン105, 106とすることで、アセンブリされている。図19のパッケージは実装時に半導体チップ102がボード両側に位置してしまい半導体チップから発生する熱の放熱の特性が悪くなるのでボードに実装した後の信頼性が問題となる。そこで、従来では、半導体チップを作成する上で配線層を変更してリバースタイプの半導体装置を作製している。

【0006】また、半導体装置としてメモリの高集積化、大容量化に伴うチップサイズの増加により、同じパッケージ内でより大きな半導体チップを収納し得るアッ

センブリ技術の開発、試作が進められている。その技術の一つに、半導体チップに接続されるピンのパッケージ内に位置する一端を半導体チップ上に延設して配置するLOC(Lead On Chip)法がある。図20は、LOC法を用いてアセンブリした場合の従来のノーマルタイプの半導体装置を示す断面図である。図20に示すように半導体チップ111上には、ピン112, 113の各々の一端が延設して配置され、この各ピン112, 113と半導体チップ111とはそれぞれボンディングワイヤ114, 115を介して接続されている。そして、これらがピン112, 113の一部を外部に引出す形で樹脂封止され、パッケージ116として一体化されている。この場合も上述した観点から、半導体チップ111下の樹脂厚とリードフレーム(ピン112, 113)上の樹脂厚とが同一となるようにリードフレームを配置している。しかし、図18に示した従来技術の場合とは異なり、リードフレームのディプレスができないため、パッケージから外部に引出されたピン112, 113は、パッケージの中心より上側に配置されている。そして、外部に引出されたピン112, 113は、実装可能なようにパッケージの下エッジと任意の距離Lを保つように折り曲げられている。

【0007】図21は、LOC法を用いて図20のノーマルタイプと同一チップでアセンブリした場合の従来のリバースタイプのパッケージの半導体装置を示す断面図である。この半導体装置は、上記図20のノーマルタイプのパッケージの半導体装置と比較すると、樹脂封止されている半導体チップ111とリードフレーム(ピン112, 113)との上下関係が反転している。そのため、パッケージの外部に引出されているピン112, 113の部分は、パッケージ116の中心より下側に配置されている。また、図21のピン112, 113は、図20に示すピン112, 113と同一のものを使用しているため、パッケージの外部に引き出された部分のピン112, 113の長さ及び折り曲げの位置や角度は同じになる。その結果、パッケージの下エッジとパッケージの外部に引き出されたピン112, 113の端部との距離L'は、 $L \neq L'$ となる。もし、このように端子の長さL, L'の異なる製品をボードに実装した場合には、ボードの表面と裏面とで高さが異なってしまうばかりか、ボード自体の実装密度も上がらない。さらに半導体装置をテストする際にもマシンの制約が大きくなる。従って、製品として使用することができない。

【0008】このような点から、LOC法を用いた従来の半導体装置のアセンブリ方法として以下の2通りの従来手法が用いられている。

【0009】(1) 同一半導体チップを用い、ノーマルタイプ用とリバースタイプ用の各々専用の2種類のリードフレームを用意して使い分ける(従来手法1)。

【0010】(2) 共通のリードフレームを使用し、ノ

ーマルタイプ用の半導体チップ上の配線層とリバースタイプ用の半導体チップ上の金属配線層とをそれぞれ用意する(従来手法2)。図22及び図23は、従来手法2を用いて作製された半導体チップ上の要部およびリードフレームを示す平面図であり、図22はノーマルタイプ、図23はリバースタイプをそれぞれ示している。図22に示すノーマルタイプの半導体装置では、左側に配置されている例えば入力信号JN供給用のピン112が、ボンディングワイヤ114を介して、半導体チップ111の左側に設けられたボンディングパッド(外部入力接続端子)111aに接続されている。さらに、このボンディングパッド(外部入力接続端子)111aは、半導体チップ111上の金属配線111bを介して該半導体チップ111の左側に設置された内部回路111cに接続されている。同様に、この半導体装置の右側に配置されている例えば入力信号CN供給用のピン113が、ボンディングワイヤ115を介して、半導体チップ111の右側に設けられたボンディングパッド(外部入力接続端子)111dに接続されている。さらに、このボンディングパッド(外部入力接続端子)111dは、半導体チップ111上の金属配線111eを介して該半導体チップ111の右側に設置された内部回路111fに接続されている。図23に示すリバースタイプの半導体装置では、左側に配置されている例えば入力信号CR供給用のピン113が、ボンディングワイヤ115を介して、半導体チップ111Aの左側に設けられた外部入力接続端子111aに接続されている。さらに、この外部入力接続端子111aは、半導体チップ111A上の金属配線111Aeを介して該半導体チップ111Aの右側に設置された内部回路111fに接続されている。同様に、この半導体装置の右側に配置されている例えば入力信号JR供給用のピン112が、ボンディングワイヤ114を介して、半導体チップ111Aの右側に設けられた外部入力接続端子111dに接続されている。さらに、この外部入力接続端子111dは、半導体チップ111A上の金属配線111Abを介して該半導体チップ111Aの左側に設置された内部回路111cに接続されている。

【0011】

【発明が解決しようとする課題】しかしながら、従来手法1および従来手法2では、次のような問題点があった。

【0012】(1) ノーマルタイプ及びリバースタイプに各々専用のリードフレームを用意する上記従来手法1による装置では、同一半導体チップを用いることができるため、半導体チップの内部配線などを変更しなくとも済むが、パッケージの右側に位置するピンは半導体チップの左側に位置する外部入力接続端子に半導体チップを横切って接続されるため、ノーマルタイプとリバースタイプとでは、パッケージ内部におけるリードフレームの

長さが異なってくる。このリードフレームの長さの違いによりインダクタンス、抵抗や容量などの寄生インピーダンス等も異なり、結果としてノーマルタイプとリバースタイプでは、アクセスタイム・ノイズ・タイミングマージンなどの性能の違いが生ずる。

【0013】(2) 半導体チップ上の配線層をノーマルタイプ用とリバースタイプ用とで変更する従来手法2による装置では、外部入力接続端子から内部回路までの半導体チップ上の金属配線の長さがそれぞれ異なる。この半導体チップ上の金属配線の長さの違いにより、インダクタンス、抵抗や容量などの寄生インピーダンスが変化し、前記従来手法1と同様にノーマルタイプとリバースタイプでは、アクセスタイム・ノイズ・タイミングマージンなどの性能の違いが生ずる。

【0014】この他の問題点として、ノーマルタイプ及びリバースタイプの2種類の製品の区別は、最終の金属配線工程でデバイスの表面に英数字などで製品の識別子を入れ、この識別子によって区別する必要があった。このような区別を行うのは、この2種類の製品が金属配線層以外の工程は同じであるため、ウェハ状態での動作テストをする際、半導体チップの外観から製品を区別しないと、ノーマルタイプをリバースタイプでテストしたり、逆にリバースタイプをノーマルタイプでテストしたりしてしまいテストのやり直しが必要となる場合が多くなるだけではなく、このようなテストのやり直しで半導体チップ上の接続端子の金属が劣化する恐れがあるため、この識別子の確認は人間の黙視によって行っていた。そのため、手間がかかるばかりか、識別子の確認に誤りが生ずる恐れもあった。また、アッセンブル後の製品検査の段階においても、ノーマルタイプとリバースタイプの製品が混在した場合、ノーマルタイプをリバースタイプでテストしたり、またはその逆を行ない、良品であるにもかかわらず不良品と判定してしまうという問題があった。

【0015】さらに製造工程に関しても、ノーマルタイプ用のマスクパターンとリバースタイプのマスクパターンとを用意する必要があり、マスク製作に時間がかかる他、ノーマルタイプ用の製造工程(ロット)とリバースタイプ用の製造工程(ロット)とが必要で、全体としての製造時間が長くなる問題や、さらには、ロット相互のバラツキに起因する製品の均一性に問題があった。

【0016】したがって、本発明の目的は、ノーマルタイプ及びリバースタイプのいずれであっても寄生インピーダンスが等価となり同等の性能を確保でき、しかも製品の種類を判定し得る半導体装置を提供することである。

【0017】本発明の他の目的は、製造工程に必要なマスク数を最小にし、かつ製造ロット数を最小とし、製品の開発期間の短縮および生産性の向上ができる半導体装置の製造方法およびそのマスクを提供することである。

【0018】本発明のさらに他の目的は、ノーマルタイプ及びリバースタイプの2通りの集積回路を同一基板上に製造する場合、その検査およびタイプ判定の容易な半導体装置とその製造方法、さらにはその検査に用いるテスト用プローブカードを提供することである。

【0019】本発明のさらに他の目的はマスク変更を伴わずに、容易に集積回路の容量の増大が可能な半導体装置およびその製造方法を提供することである。

【0020】

【課題を解決するための手段】上記目的を達成するために、請求項1に記載の本発明の第1の特徴は、図5、14、あるいは16に示すようにノーマルタイプ用の半導体集積回路（第1の集積回路）のマスクパターンと、リバースタイプ用の半導体集積回路（第2の集積回路）のマスクパターンとを互いに鏡像関係となるようにし、同一半導体ウェハ上にこの両者を配置していることである。

【0021】さらに請求項2記載の本発明の第2の特徴は、図6、7に示したように第1の集積回路と第2の集積回路との共通領域となる半導体チップ上に両者の共通のテスト回路を形成し、集積回路の実効的な面積効率を高めていることである。

【0022】さらに請求項3記載の本発明の第3の特徴は、図9に示すように第1の集積回路、および第2の集積回路のボンディングパッドをそれぞれの半導体チップの中心線に対して左右対称に形成していることである。

【0023】さらに請求項4記載の本発明の第4の特徴は、図10～図13に示したように第1および第2の集積回路に集積回路のタイプ判定用の判定回路を設けたことである。

【0024】さらに請求項5記載の本発明の第5の特徴は、図14および図16に示したように第1および第2の集積回路を半導体チップ上の金属配線449で互いに接続したことである。

【0025】さらに、請求項6～8記載の本発明の第6の特徴は、第1の集積回路を搭載した第1のパッケージ（ノーマルタイプのパッケージ）と第1の集積回路とは互いに鏡像関係のパターン配置となる第2の集積回路を搭載した第2のパッケージ（リバースタイプのパッケージ）とを少なく共具備することである。

【0026】好ましくは請求項7記載のように第1および第2の集積回路の分類判定をする判定回路を第1および第2の集積回路がそれぞれ有し、かつそれぞれが、ノーマルタイプおよびリバースタイプのパッケージに搭載されていることである。

【0027】さらに好ましくは請求項8記載のようにこの判定回路が、ノーマルタイプおよびリバースタイプのパッケージの外部に入出力信号端子（ピン）にそれぞれ接続されていることである。

【0028】さらに請求項9～14記載の本発明の第7

の特徴は、互いに鏡像関係となる第1の集積回路（ノーマルタイプの集積回路）および第2の集積回路（リバースタイプの集積回路）のパターンをそれぞれ1つ以上同時に同一半導体ウェハ上に形成する第1の工程と該第1の工程で形成された第1および第2の集積回路を検査する第2の工程と第2の工程後、該半導体ウェハを所定の半導体チップに切り出す第3の工程と該半導体チップをリードフレームにマウントし、パッケージングを行なう第4の工程とを少なくとも含むことを特徴とする半導体装置の製造方法であることである。

【0029】好ましくは請求項10に記載のように第2の工程において、第1および第2の集積回路を図8に示すような一枚のテスト用プローブカードを用いて同時に検査する製造方法であることである。

【0030】また、好ましくは請求項11に記載のように第3の工程において、第1および第2の集積回路を一組として同一半導体チップ上に切り出し、第4の工程において同一リードフレーム上に該半導体チップをマウントする半導体装置の製造方法であることである。

【0031】また、好ましくは請求項12に記載のように第1の工程において第1および第2の集積回路パターンを少なく共一組形成された図2～図4に示すようなマスクパターンを用いて、第1および第2の集積回路パターンを半導体ウェハ上に形成する半導体装置の製造方法であることである。

【0032】また好ましくは請求項13に記載のように第1の工程において、第1の集積回路パターン（ノーマルタイプの集積回路パターン）の数の方が、第2の集積回路パターン（リバースタイプの集積回路のパターン）の数よりも多いマスクパターンを用いて、これらの集積回路パターンを半導体ウェハ上に形成する半導体装置の製造方法であることである。

【0033】また好ましくは請求項14に記載のように第3の工程において第1の集積回路パターンを有した第1の半導体チップと第2の集積回路パターンを有した前記第2の半導体チップを切り出し、第4の工程において、該第1の半導体チップをノーマルタイプのリードフレームに、該第2の半導体チップをリバースタイプのリードフレームにマウントする半導体装置の製造方法であることである。

【0034】さらに、請求項15および16記載の本発明の第8の特徴は、図2～図4に記載のように、第1の集積回路（ノーマルタイプの集積回路）のパターンpと、第1の集積回路のマスクパターンとは互いに鏡像関係のパターン配置となる第2の集積回路（リバースタイプの集積回路）のパターンqとを同一マスクブランク上に形成した露光装置用マスクであることである。

【0035】好ましくは請求項16に記載のように第1および第2の集積回路のパターンが図3、図4に示すように交互に配置された部分を有する露光装置用マスクで

あることである。

【0036】さらに請求項17記載の本発明の第9の特徴は、図8に記載のように、半導体ウェハ上の第1の集積回路（ノーマルタイプの集積回路）を検査するための触針34と、第1の集積回路とは鏡像関係となる第2の集積回路（リバースタイプの集積回路）を検査するための触針34とが同一カード基板30上に形成されたプローブカードであることである。

【0037】

【作用】本発明の第1の特徴によれば、第1の集積回路（ノーマルタイプの集積回路）および第2の集積回路（リバースタイプの集積回路）を同時に半導体ウェハ上に形成することができ、2種類の集積回路を単一の半導体装置製造工程（ロット）で製造でき、製造期間および製造費用の削減ができる。同一ロットで2種類の集積回路が同時に製造されるため、ロット毎の特性の変動の影響を受けず、製品の均一性が高くなる。しかも第1および第2の集積回路は互いに鏡像関係となっているので、パッケージにマウントした場合、両者の金属配線層の長さの相違等はないので、両者の寄生インピーダンスは等価であり、製品としての両者の特性も一致する。

【0038】さらに本発明の第2の特徴によれば、図6、7に示したように第1の集積回路と第2の集積回路との共通領域となる半導体チップ上に両者の共通のテスト回路を形成し、集積回路の実効的な面積効率を高めることができる。

【0039】さらに本発明の第3の特徴によれば、図16に示すようにノーマルタイプの集積回路、およびリバースタイプの集積回路のボンディングパッドをそれぞれの半導体チップの中心線に対して左右対称に形成し、ノーマルタイプとリバースタイプとで同一のリードフレームを共用できるようにしているため、パッケージは1種類でよい。

【0040】さらに本発明の第4の特徴によれば図10～図13に示したようなタイプ判定用の判定回路を用いることにより、ウェハ上での集積回路の特性検査、およびパッケージ後の製品段階での検査においてタイプ判定のミスによる誤診を避けることができ、生産性が向上する。

【0041】さらに本発明の第5の特徴によれば、図14～図16に示したようにノーマルタイプおよびリバースタイプの集積回路を半導体チップ上の金属配線449で互いに接続し、2倍の容量が必要なときは、図14に示すように第1の集積回路122と第2の集積回路124を同一チップ12として切り出し、容量が小さくてよいときは、図15に示すようにそれぞれを単独のチップ12に切り出し別個のパッケージにそれぞれパッケージすることができるようにした点である。したがって特別のマスク変更等を用いずに簡単に容量の増大ができる。

【0042】本発明の第6の特徴によれば第1および第

2の集積回路は互いに鏡像関係となっているので、パッケージにマウントした場合、両者の金属配線層の長さの相違等はないので、両者の寄生インピーダンスは等価であり、製品としての両者の特性も一致する。また第1および第2の集積回路のタイプを判定する判定回路を設け、パッケージのピン（外部入出力信号端子）に接続しておくことにより、パッケージ後の製品段階での検査においてタイプ判定のミスによる誤診を避けることができ、生産性が向上する。

【0043】本発明の第7の特徴によれば、単一のマスクパターンで、第1および第2の集積回路を同時に半導体ウェハ上に形成することができ、2種類の集積回路を単一の半導体装置製造工程（ロット）で製造でき、製造期間および製造費用の削減ができる。同一ロットで2種類の集積回路が同時に製造されるため、ロット毎の特性の変動の影響を受けず、製品の均一性が高くなる。しかも第1および第2の集積回路は互いに鏡像関係となっているので、パッケージにマウントした場合、両者の金属配線層の長さの相違等はないので、両者の寄生インピーダンスは等価であり、製品としての両者の特性も一致する。

【0044】好ましくは、図8に示すような一枚のテスト用のプローブカードを用いて、同一半導体ウェハ上に形成された第1および第2の集積回路を同時に検査することができるのでテスト用のプローブカードが一枚で済み、さらに、テスト用のプローブカードの交換等の手間も省け、生産性が向上する。

【0045】好ましくは、2倍の容量が必要なときは図14に示すように第1の集積回路122と第2の集積回路124を同一チップ12として切り出し、容量が小さくてよいときは、図15に示すようにそれぞれを単独のチップ12に切り出し別個のパッケージにそれぞれパッケージすることができるようにも選択できる。したがって特別のマスク変更等を用いずに簡単に容量の増大または減少ができる。

【0046】さらに本発明の第7の特徴によれば、製品としての需要の多いノーマルタイプのパターンをリバースタイプのパターンよりも多くしたマスクパターンで第1および第2の集積回路を同時に半導体ウェハ上に形成することができ、需要に適合した数の2種類の集積回路を単一の半導体装置工程で製造でき、製造期間および製造費用の削減と生産性の向上ができる。

【0047】さらに本発明の第8の特徴によれば図2～図4に示したような単一のマスクパターンで、第1および第2の集積回路を同時に半導体ウェハ上に形成することができ、2種類の集積回路を単一のロットで製造でき、製造期間および製造費用の削減ができる。同一ロットで2種類の集積回路が同時に製造されるため、ロット毎の特性の変動の影響を受けず、製品の均一性が高くなる。しかも第1および第2の集積回路は互いに鏡像関係とな

っているので、本発明の第8の特徴に係るマスクを用いて製造した集積回路をそれぞれのパッケージにマウントした場合、両者の金属配線層の長さの相違等はないので、両者の寄生インピーダンスは等価であり、パッケージ後の製品としての両者の特性も一致する。また第1および第2の集積回路のパターンが交互に配置されたマスクあるいはレチクルとすることにより、半導体ウェハ内の不均一性に起因する特性のバラツキも小さくなり、製品としての均一性が向上する。

【0048】さらに本発明の第9の特徴によれば、図8に示すような一枚のテスト用のプローブカードを用いて、同一半導体ウェハ上に形成された第1および第2の集積回路を同時に検査することができるのでテスト用のプローブカードが一枚で済み、さらに、テスト用のプローブカードの交換等の手間も省け、生産性が向上する。

【0049】

【実施例】以下、本発明の実施例を図面に基づいて説明する。図1は、本発明の第1の実施例に係る半導体装置におけるリードフレームおよび半導体チップ上の要部の関係を示す平面図であり、ノーマルタイプの集積回路パターンを鏡像反転した集積回路パターンを有する半導体チップをリバースタイプのリードフレームにアセンブリした例を示すものである。このリバースタイプの半導体装置は、ノーマルタイプに対して半導体チップ12上の集積回路パターンを鏡像反転しているもので、図23に示したボンディングパッドの位置のみを反転した従来のリバースタイプとは異なり、半導体チップ12両側に設けられた各ピン13、14に対応する内部回路18、20はそのピンの近傍に配置される。

【0050】すなわち、この半導体装置は、パッケージ11で樹脂封止された半導体チップ12を有し、この半導体チップ12の両側からパッケージ11の外部へ複数のピン13、14が引出されている。その内、例えばチップの左側に配置されている例えば入力信号CR供給用のピン14（図23の1113に相当）の一端は、ボンディングワイヤ15を介して、半導体チップ12の左側に設けられたボンディングパッド（外部入力接続端子）16に接続されている。さらに、この外部入力接続端子16は、半導体チップ12上の金属配線17を介して該半導体チップ12の左側に設置された内部回路18（図23の111fに相当）に接続されている。また、この半導体装置の右側に配置されている例えば入力信号JR供給用のピン13（図23の1112に相当）には、ボンディングワイヤ19を介して、半導体チップ12の右側に設けられたボンディングパッド（外部入力接続端子）20に接続されている。さらに、この外部入力接続端子20は、半導体チップ12上の金属配線21を介して該半導体チップ12の右側に設置された内部回路22（図23の111cに相当）に接続されている。

【0051】図2～図5は本発明の第1の実施例のノ

マルタイプとリバースタイプを同時に作製するために用いられる露光装置用のマスク（フォトマスク）のマスクイメージの一例である。図2はノーマルタイプ1チップ分とリバースタイプ1チップ分の計2チップ用のパターンが同一マスクブランク1上に形成された構成で、各半導体チップ上に形成する集積回路データ領域2中のpマークが示すように同じデータを共用し配置する向きを鏡像関係に反転している。各半導体集積回路データ領域2の間にはスクライプラインデータ領域3が形成されている。そして、これら集積回路データ領域2を囲むように、チップ切り離し用のタイシングライン44が、同じくpマークで示すように配置されている。図2のマスクイメージをマスクブランク上に形成しレチクルパターンとして逐次移動式縮小投影露光（ステップ式投影露光）を行えばよい。

【0052】図3はノーマルタイプ2チップ分の集積回路パターンとリバースタイプ2チップ分の集積回路パターンの計4チップ分の回路パターンがガラス基板（マスクブランク）1上に一列に配置された構成のマスクパターンの一例で各半導体チップ上に形成する集積回路データ領域2中のpマークが示すように一チップ毎にノーマルタイプとリバースタイプが交互に配置されている。図4はノーマルタイプ4チップ分とリバースタイプ4チップ分の計8チップ分の集積回路パターンが4チップずつ二列に配置された構成の一例で、半導体集積回路データ領域2中のpマークが示すように一チップ毎にノーマルタイプとリバースタイプが交互に配置されている列が二段重ねてある。図3および図4において、図2と同等のものには同じ記号を符し、詳細な説明は省略する。

【0053】なお、鏡像関係の図2～図4に示したような左右の鏡像関係だけでなく、上下の鏡像関係でもよいことはもちろんである。

【0054】図5は、図2に示すフォトマスク（レチクルパターン）を用いて逐次移動式縮小投影露光した半導体ウェハのイメージである。図2に記したようにノーマルタイプをpマーク、リバースタイプを鏡像反転したpマーク（q）で示したものである。図5の第1行目でみるとノーマルタイプとリバースタイプが交互に4組並んでいる。半導体ウェハ全体ではこの行が4行配置された構造になっている。図5の配列は一例であり半導体ウェハの大きさ（面積）とステッパー（逐次移動式縮小投影露光機）の露光面積により、ウェハ全体中のノーマルタイプとリバースタイプの組の数は変わることはもちろんである。また図3、図4に示したようにレチクルパターン中のノーマルタイプとリバースタイプの数が変われば、ウェハ全体中におけるノーマルタイプの集積回路およびリバースタイプの集積回路の数も変わることはもちろんで、LSI等の大きさに応じて適宜選択すればよい。図2～図4ではノーマルタイプとリバースタイプとで1組とし、いずれも偶数個の集積回路パターンの含ま

れたマスクパターンを示したが、3個、5個等の奇数個の集積回路パターンを含んだマスクとしてもよい。製品レベルではノーマルタイプの方がリバースタイプよりかはるかに需要があるので、製品市場での要請を考慮すればノーマルタイプの集積回路の数をリバースタイプより多くして奇数個とすることが有効である。たとえばノーマルタイプの集積回路の数を2ケ、リバースタイプを1ケとしたレチクルパターンで逐次移動式縮小投影露光をすればよい。なお、フォトマスクを用いる光リソグラフィで説明したが、電子線露光やX線電光でもよいことはもちろんである。また、レチクル等のマスクパターンを用いない直接描画でもよい。要はノーマルタイプとリバースタイプの鏡像関係にある1組のパターンが半導体ウェハ上に形成できればよいのである。

【0055】図6は本発明の第2の実施例に係るフォトマスクパターン（レチクルパターン）でノーマルタイプとリバースタイプとで信頼性試験等のテスト回路を共用する場合の一例である。図7には本発明の第2の実施例に係るマスクパターンのさらに詳細を示し、マスクパターンのテスト回路周辺部のみの金属配線の接続部分の一例が示されている。テスト回路エリア4にはテスト回路444とこのテスト回路444に外部制御信号を入力するための接続端子（外部制御信号入力端子）445とテスト信号をモニターするための内部信号出力端子446が配置されている。テスト回路エリアに面したノーマルタイプとリバースタイプはテスト回路エリア4を中心にして対称になっているので金属配線449で容易に結線でき、テスト回路の共用が可能となる。

【0056】図8は図5に示した本発明の第1の実施例に係る回路パターンを有した半導体ウェハをテストする際に用いられるテスト用のプローブカードの一例である。特殊な場合をのぞきノーマルタイプとリバースタイプの集積回路のボンディングパッドは半導体チップ1チップでみると相対的には同じ位置にない。つまりウェハでのダイソート時にノーマルタイプのテスト用プローブカードでは、リバースタイプはテストできず、逆にリバースタイプのテスト用プローブカードではノーマルタイプはテストできない。従って、ノーマルタイプの集積回路のパターンとリバースタイプの集積回路のパターンが異なる場合はノーマルタイプ用プローブカードとリバースタイプ用プローブカードがそれぞれの製品ごとに必要となるが、図8のテスト用プローブカードは、ノーマルタイプ用（p）とリバースタイプ用（q）の両方のテスト端子を一枚のプローブカードにもたせており、一度にノーマルタイプとリバースタイプ用のチップが同時にテストできる。図8において、このテスト用のプローブカードは、円板形をしたカード基板30を有し、このカード基板30の表面上の外周及び内周側には、それぞれ等間隔の複数の端子31、32が形成されている。端子31、32は、図示されていない集積回路テスト側より

供給される信号を受ける端子であり、この各端子31、32が配線33を介してカード基板30を貫通して設けられたノーマルタイプ（p）とリバースタイプ用（q）の複数の触針34にそれぞれ接続されている。そして、各触針34をノーマルタイプ用とリバースタイプ用半導体チップのそれぞれのボンディングパッド（外部入力接続端子）16、20に同時に接触させて、半導体チップのテストを行う。

【0057】図9は、本発明の第3の実施例における半導体チップ上に形成されるボンディングパッド（外部入力接続端子）の配置とパッケージとの関係を示す図である。図1に示した本発明の第1の実施例の場合と異なり、パッケージ11の左右両側に引出されたピン列13、14の中心線mに対して対称な位置に半導体チップ上の外部入力接続端子（ボンディングパッド）16、20がそれぞれ配置され、各ピン13、14と外部入力接続端子16、20とは、それぞれボンディングワイヤ15、19で接続されている。

【0058】図10は、本発明の第4の実施例における製品の判定回路を示す回路である。この判定回路は、nチャンネルMOSトランジスタ（以下、nMOSという）41、42、43をボンディングパッド（外部入力接続端子）P1、P2間に直列接続することにより構成されている。この各nMOS41、42、43のゲート・ソース間はそれぞれ接続されている。スペックに記されている通常の使用方法では、ボンディングパッドP2の電位がボンディングパッドP1よりも高くなることはない。その結果、各nMOS41、42、43はすべてオフ状態となるので、ボンディングパッドP1、P2間には電流が流れていない。しかし、テスト時には、ボンディングパッドP2の電位をボンディングパッドP1よりも高くすることで、nMOS41、42、43はすべてオン状態となる。従って、この回路を用いることにより、製品がノーマルタイプ、リバースタイプのいずれであるかを判定することができる。より具体的に説明する。説明を簡単にするために、図10に示す判定回路を図17（a）、（b）に示すピン配置の製品に使用した場合を例にとって説明する。図11は、ノーマルタイプの半導体チップに搭載された判定回路を示す図であり、電位V_{ss}用の44番ピン（ピン13）にはボンディングパッドP2（外部入力接続端子20）が接続され、入力データDQ7用の43番ピン（ピン13）には、ボンディングパッドP1（外部入力接続端子20）が接続されている。さらに、電源電位V_{cc}用の1番ピン（ピン14）にはボンディングパッドP3（外部入力接続端子16）が接続され、また、ボンディングパッドP4（外部入力接続端子16）は切り離された状態となっている。そして、ボンディングパッドP1とボンディングパッドP2との間には、図10に示す判定回路が接続されている。このように半導体チップ12上に判定回路が形成さ

れ、ダイソート時にテスト用のカードの触針を各ボンディングパッドに接触させて製品のタイプの判定をすると共に、その動作を試験する。ノーマルタイプのダイソート時では、44番ピンに“H”レベル、43番ピンに“L”レベル、及び1番ピンに“L”レベルを与える。その結果、nMOS41~43はターンオンしてボンディングパッドP1とP2との間で電流が流れる。これによって当該半導体チップはノーマルタイプであると判定することができ、この時はノーマルタイプのテストプログラムで試験をする。このノーマルタイプのダイソート時に誤ってリバースタイプ品をテストした場合は、図12に示すように、ボンディングパッドP1には電位が与えられず、ボンディングパッドP2には“L”レベル、ボンディングパッドP3には“H”レベルが与えられ、さらにノーマルタイプでは判定に関係のなかったボンディングパッドP4に“L”レベルが印加される。そして、ボンディングパッドP3とボンディングパッドP4との間には判定回路がないので、この間には電流が流れず、当該テスト品はノーマルタイプの半導体チップではないと判定できる。リバースタイプの半導体チップに搭載された前記判定回路を図13に示す。図13に示すように、リバースタイプのピンナンバーに対する各種のレベル設定は図11に示すノーマルタイプと同等であり、これらの配置が図面上で反転しているだけである。先に述べたノーマルタイプと同等の動作により、リバースタイプではボンディングパッドP1とボンディングパッドP2との間で電流が流れる。

【0059】また、この判定回路は、ノーマルタイプ/リバースタイプの区別の他に、例えばライトバービットの有無や、回路オプションの区別といった製品の機能オプションの区別、あるいはたとえばリフレッシュサイクル数などの製品の違いが3種類以上ある場合にも使用できる。

【0060】図14は本発明の第5の実施例に係る半導体装置の平面図であり、同一半導体チップ12上にノーマルタイプの集積回路122とリバースタイプの集積回路124が搭載されている。集積回路は互いに鏡像関係になっているのでノーマルタイプのボンディングパッド16とリバースタイプのボンディングパッド16とは互いにA1等の金属配線449で結合し、半導体チップ中央部に形成されたボンディングパッド448に導くことができる。たとえば64Mビットのノーマルタイプの集積回路と64Mビットのリバースタイプの集積回路をこのように金属配線449で接続することにより2倍の容量の128Mビットの集積回路が実現できる。

【0061】本発明の第5の実施例の半導体装置は、大容量(2倍の容量)が必要でなければ、図15に示すように通常のノーマルタイプ単独の半導体チップ12とリバースタイプ単独の半導体チップ12とに切り離して、リードフレームにマウントすればよい。

【0062】さらに、図16のように2組まとめて切り出せば容量は4倍になる。

【0063】

【発明の効果】本発明の第1の実施例によれば、リードフレームのピンと半導体チップ上の外部入力接続端子との位置関係、該外部入力接続端子(ボンディングパッド)と内部金属配線の位置関係、さらに該内部金属配線と内部回路とは、ノーマルタイプと、リバースタイプとで互いに鏡像関係としているので全く同一の位置関係となる。従って、ノーマルタイプとリバースタイプのパッケージにおいてアクセスタイム・ノイズ・タイミングマージンなどの性能を同一にすることができる。すなわち、ノイズの原因となるインダクタンスや入出力信号の遅延の原因となる抵抗、容量の増加を抑えることができ、両タイプにおいて同等の性能が得られ、結果として歩留まりが向上する。また、従来では半導体チップ上の配線層のマスクパターンがノーマルタイプとリバースタイプで異なる場合はそれぞれに対応した製造工程(ロット)を流す必要があるので両タイプの製品を得るためには、倍のロットと、2組の金属配線層のマスクパターンが必要ということになり、マスクの工期とロットの工期が増加してしまうが本実施例では、一組のマスクにノーマルタイプとリバースタイプの両タイプのパターンデータを配置したので、マスクも1組ですみ、同時に同一の半導体ウェハ上に露光するためロット数も1で良い。さらに本発明の第1の実施例によればマスク合わせずれ、加工形状などのプロセスによる揺らぎも同じ様に受けるので、ロット間のばらつきをキャンセルすることができる。

【0064】従来は各ノーマルタイプの回路1個に付1つ、各リバースタイプの回路1個に付1つそれぞれテスト回路配線エリアを設ける必要があったが、本発明の第2の実施例によれば、2回路に1つ、4回路に1つ、8回路に1つ…等複数の集積回路に対し、1つのテスト回路を共用することができるので、実質的な1チップ当りの有効利用面積が増大し、結果として集積度が増大する。

【0065】本発明の第1および第2の実施例に係る回路パターンを有した半導体ウェハは、一枚のテスト用のカードで同時にウェハ段階のテストができる。したがって、テスト用プローブカードを2枚作製することが不要となり、ダイソート時のテスト用プローブカードの交換の手間や時間が省略でき、生産性が向上する。

【0066】本発明の第3の実施例によれば、半導体チップ上で中心対称の関係を有した位置に外部入力接続端子16、20を配置するように集積回路のパターンを設計しているので、ノーマルタイプのリードフレームと、リバースタイプのリードフレームとの共用が可能となり、生産性が向上する。

50 【0067】本発明の第4の実施例によれば、製品のタ

イブを判定する判定回路を半導体チップ上に有している
ので、動作テストをする場合も、ボンディングパッド
(外部入力接続端子)に動作テスト用のカードを接触さ
せて製品のタイプを区別することができ、動作テストの
準備/テスト時に製品のタイプを意識しないで済み、テ
ストミスによる不良を少なくすることができる。さらに
アッセンブリ後の製品段階のテストにおいても、ノーマ
ルタイプの製品とリバースタイプの製品が混在する場合
が生じるので、製品の分類およびその確実な検査が可能
となる。特に本発明の第3の実施例に示したようにノー
マルタイプとリバースタイプのリードフレームを共用し
た場合は、パッケージ工程終了後製品の分類が困難とな
りうる場合が発生するので、本発明の第4の実施例に示
した判定回路を用いればテストミスをなくすることができ
効果的である。

【0068】本発明の第5の実施例によれば、たとえば
64Mビットの製品工程を実行している場合に、新たに
128Mビット用のマスクパターンを設計、製作し、新
たな工程、新たなLotを開始しなくても簡単に容量を
2倍にできることとなるので、開発期間の短縮、経費節
減に大きな効果がある。本発明の第5の実施例によれ
ば、マスク変更や、工程の変更を何ら伴うことなく2倍
の容量の増減がダイシング時の切り出し線を選択だけ
で任意に選択できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る半導体装置におけ
る半導体チップ上の要部を示す平面図である。

【図2】上記第1の実施例のノーマルタイプとリバース
タイプの半導体チップを作製するためのマスクイメージ
図である。

【図3】本発明の第1の実施例のノーマルタイプとリバ
ースタイプの半導体チップを複数個同時に配置した場合
のマスクイメージ図である。

【図4】本発明の第1の実施例のノーマルタイプとリバ
ースタイプの半導体チップを複数個同時に二列に分けて
配置した場合のマスクイメージ図である。

【図5】本発明の第1の実施例のマスクを使用した場合
の、半導体ウェハ上のショットイメージ図である。

【図6】本発明の第2の実施例のノーマルタイプとリバ
ースタイプの半導体チップに挟まれる位置にテスト用の
回路エリアを配置した場合のマスクイメージ図である。

【図7】本発明の第2の実施例のマスクパターンのテス
ト用回路周辺の金属配線を示す平面図である。

【図8】本発明の第1の実施例に係る回路パターンを有
した半導体ウェハをテストする際に使用されるテスト用
のプロブカードの構成図である。

【図9】本発明の第3の実施例における半導体チップ上
に形成されるボンディングパッド(外部入力接続端子)
の装置とパッケージとの関係を示す図である。

【図10】本発明の第4の実施例における判定回路を示

す回路である。

【図11】ノーマルタイプの半導体チップに搭載された
判定回路を示す図である。

【図12】判定回路の動作を説明するための図である。

【図13】リバースタイプの半導体チップに搭載された
判定回路を示す図である。

【図14】本発明の第5の実施例に係る半導体装置の平
面図である。

【図15】図14の半導体装置を切り離した平面図であ
る。

【図16】本発明の第5の実施例の変形に係る半導体装
置の平面図である。

【図17】ノーマルタイプとリバースタイプのピン配置
を示す図である。

【図18】従来のノーマルタイプの半導体装置の断面図
である。

【図19】図18に示したノーマルタイプの半導体チッ
プを搭載した従来のリバースタイプの半導体装置の断面
図である。

【図20】LOCを用いてアッセンブリした場合の従来
のノーマルタイプの半導体装置を示す断面図である。

【図21】LOCを用いてノーマルタイプの半導体チッ
プをアッセンブリした場合の従来のリバースタイプの半
導体装置を示す断面図である。

【図22】従来のノーマルタイプの半導体チップ上の要
部を示す平面図である。

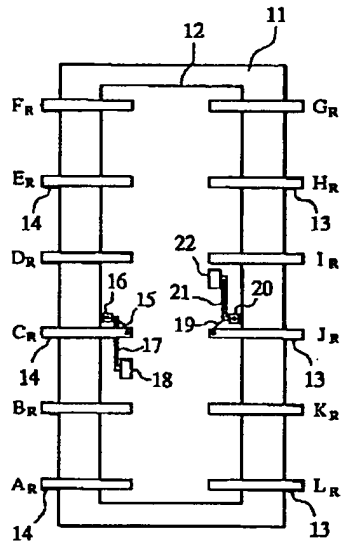
【図23】従来のリバースタイプの半導体チップ上の要
部を示す平面図である。

【符号の説明】

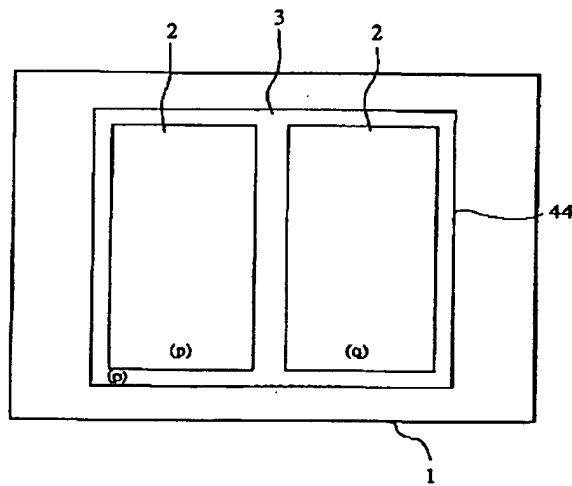
- 1 マスクブランク(ガラス基板)
- 2 集積回路データ領域
- 3 スクライブラインデータ領域
- 4 テスト回路エリア
- 11 パッケージ
- 12 半導体チップ
- 13, 14 ピン(外部入出力信号端子)
- 16, 20, 448 外部入出力接続端子(ボンディン
グパッド)
- 17, 21, 449 金属配線
- 18, 22 内部回路
- 15, 19 ボンディングワイヤー
- 30 カード基板
- 31, 32 端子
- 34 触針
- 41, 42, 43 nMOS
- 44 ダイシングライン
- 122 ノーマルタイプの集積回路
- 124 リバースタイプの集積回路
- 444 テスト回路
- 445 外部制御信号入力端子

446 内部信号出力端子

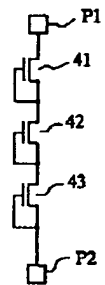
【図1】



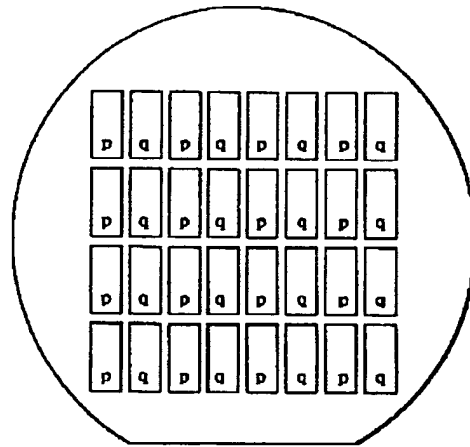
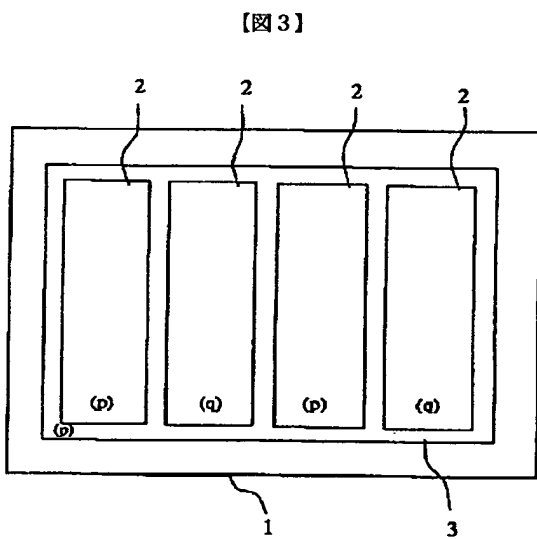
【図2】



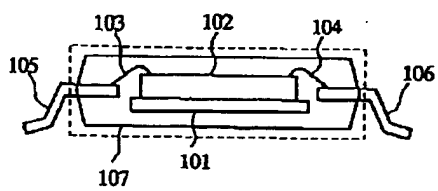
【図10】



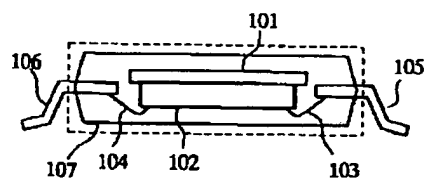
【図5】



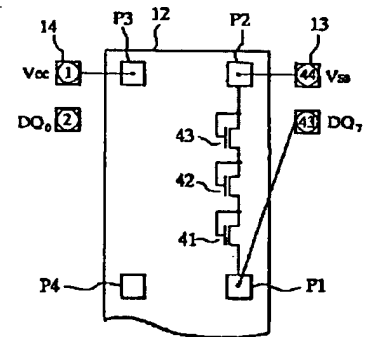
【図18】



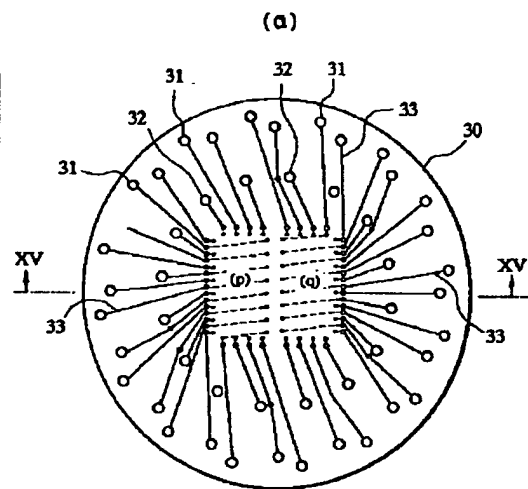
【図19】



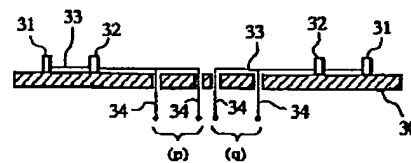
【图 1 1】



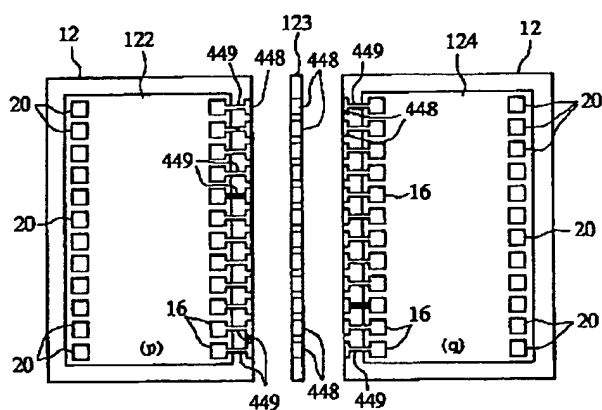
【图 8】



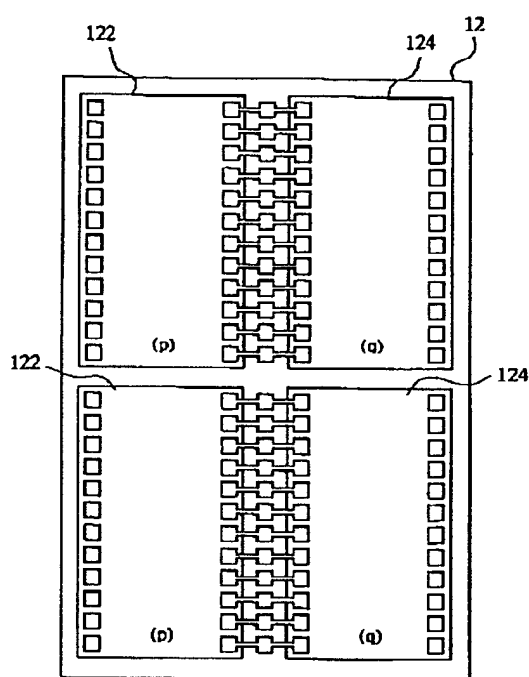
(b)



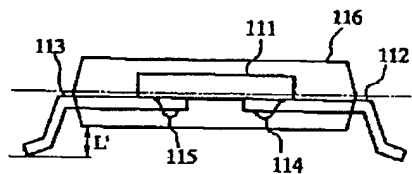
【図15】



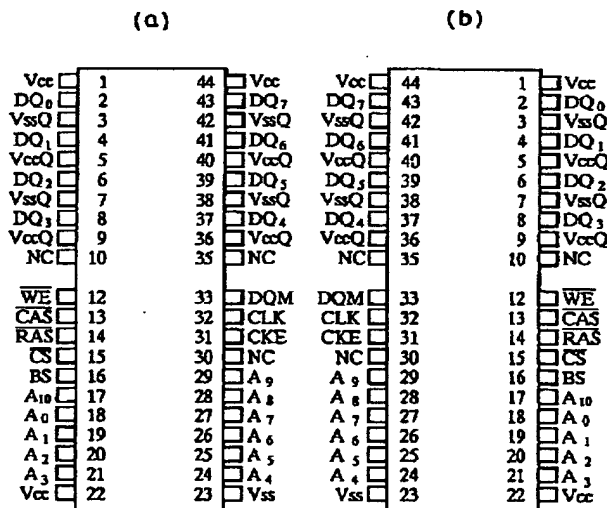
【図16】



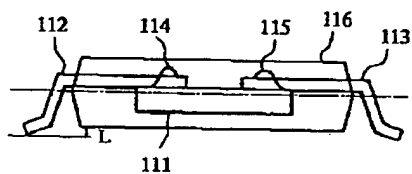
【図21】



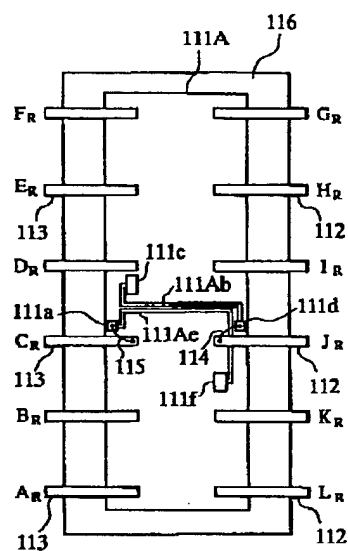
【図17】



【図20】



【図 23】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 21/66

21/82

23/50

識別記号

庁内整理番号

F I

技術表示箇所

E 7630-4M

X